

SystemVerilogクロニクル

第1回　1980年代前半，Verilog HDL誕生

明石貴昭

このコラムでは，Verilog HDLの誕生からSystemVerilogの標準化に至るまでの各時代のエピソードを紹介していきたいと思います．設計技術そのものとは関係ありませんが，EDA（electronic design automation）の歴史に興味のある方には参考になるかと思います．

● Verilog HDLの開発者はだれか？

一般にVerilog HDLは，「1984年，Philip R. Moorby氏（現在，米国Synopsys社Scientist）によって論理シミュレータ『Verilog-XL』用の専用ハードウェア記述言語として開発された」とされています．まずは，この部分について書いていきたいと思います．

1983年ごろ，米国マサチューセッツ州Actonで，Automated Integrated Design Systems社が商用シミュレータとその入力言語の開発を始めました．これがVerilog HDLの始まりです．同社は，ATPG（automatic test pattern generation）のPODEM（The Path Oriented Decision Making）アルゴリズムの開発者として知られるPrabhakar Goel氏（現在，個人投資家）が設立した会社です．社名がすぐにGateway Design Automation（GDA）社に変わったので，上記の会社を知る人は少ないと思います．

先にも書きましたようにPhilip R. Moorby氏がVerilog HDLの開発者として広く知られていますが，実際にはもうひとりの人物が開発に深く関与していました．その開発者とはChilai Huang氏（現在，米国Avery Design Systems社CEO）で，GDA社でMoorby氏とともに開発を行っていました．Huang氏がおもにVerilog HDL構文の設計を担当し，Moorby氏がおもにシミュレータ開発を担当していたという話を筆者は伝え聞いています．Moorby氏が執筆に参加し，すでに第5版まで発売されている書籍“The Verilog Hardware Description Language”（ISBN: 1-4020-7089-6）の影響でしょうか．Verilog HDLの開発者はMoorby氏ひとりだと思われている方が多いようです．

Philip R. Moorby氏は，GDA社が米国Cadence Design Systems社に買収された後，社内初のFellowという肩書きをもらっていました．一方，Chilai Huang氏はCadence社を去るまで「Synergy」という論理合成ツールの開発責任者で，あまり表に出てきませんでした．同氏がVerilog HDLの開発者として記憶されていないのは，このためかもしれません．

GDA社を率いたPrabhakar Goel氏は，米国では“Father of Verilog”と呼ばれています．しかし，実際には米国IBM社在籍中に開発したPODEMアルゴリズムで4件の特許を持つATPG技術の権威であり，当時はCEO職に就いていたためVerilog HDLへの技術的関与はそれほど大きくなかったと思われます．

● Verilog-XLの前にVerilogシミュレータがあった

Verilog HDLの開発者の話はこのくらいにして，少しだけツールの話を書きたいと思います．多くの方が「Verilog HDLはCadence社のVerilog-XL用ハードウェア記述言語として開発された」と聞かされてきたと思います．実際，筆者もこれまで，多くの場合にそのように説明してきました．しかし正確には，「Verilog-XL」用ではなく「Verilog」用として開発されたのが始まりです．GDA社初の論理シミュレータはVerilog-XLではなく，1984年にリリースされたVerilogという製品です．Verilog-XLは，1986年にVerilogにゲート・レベル用高速シミュレータ（XLアルゴリズム）を組み込んで発売されたVerilogの上位製品だったのです．このことを裏付ける事実をCadence社，Accellera，IEEEのマニュアルに見ることができます．それぞれのマニュアルには「Verilog is a registered trademark of Cadence Design Systems, Inc.」と，「Verilog」がCadence社の「登録商標」であることが記載されています．これはVerilogというシミュレータが存在した名残りです．

ここまででお気づきでしょう．VerilogとするとCadence社のシミュレータ（すでに販売はしていないが…）を指すことになり，HDLそのものを呼ぶときは「Verilog HDL」となります．日本にはVerilog-XLしか導入されておらず，Verilogは販売されなかったので，多くの人が知らないのも当然です．

余談ですが，GDA社初の製品はVerilogではありませんでした．あまり売れなかったようですが，Prabhakar Goel氏直々に開発したATPGツール「TestGen」がGDA社初の製品でした．

最後に，Verilog HDLを「Verilog-HDL」と表記している広告や記事などをよく目にします．たいへん申しわけございません．これは筆者らが1990年ごろ，Cadence社でVerilog-XLを担当していたころ，Verilog-XLと合わせてなんとなく「Verilog-HDL」と日本語マニュアルや各種資料に書いていたのが一因だと思います．Googleなどで検索してみてもらえばおわかりいただけると思いますが，海外のWebサイトで「Verilog-HDL」と書いてあるところはまれです．世界では「Verilog HDL」です．たいへん失礼いたしました．お詫びして訂正いたします．

<筆者プロフィール>
明石貴昭．ケイデンス・デザイン・システムズ入社後，Verilog-XL，NC-Simシミュレータなどを担当．現在，日本シノプシスにて論理検証プラットホームDiscoveryやSystemVerilog関連のしごとに従事している．旧EIAJ（現JEITA）1364-1995プロジェクトに参加し，現在はJEITA/EDA技術専門委員会SystemVerilogタスクグループの副主査として，SystemVerilogの標準化に携わっている．